

附件 6

“微纳电子技术”重点专项 2023 年度项目申报指南

(仅国家科技管理信息系统注册用户登录可见)

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“微纳电子技术”重点专项。根据本重点专项实施方案的部署，现提出 2023 年度项目申报指南。

本专项总体目标是：抓住微纳电子技术的重大变革机遇，聚焦集成度、能效和设计效率三大瓶颈问题，重点突破微纳电子技术领域的前沿基础问题和关键共性技术，通过新器件、新方法、新电路和新集成的多维协同创新，形成一批具有世界先进水平的创新成果，通过关键核心技术突破带动相关技术领域的全面进展，支撑战略性新应用。

2023 年度指南部署坚持问题导向、分步实施、重点突出的原则，拟围绕超越摩尔的微纳器件技术、智能与敏捷设计方法、新应用驱动的电路技术、模块化组装与集成等四个技术方向，启动 23 项指南任务，拟安排国拨经费 3.59 亿元。其中，青年科学家项目拟安排国拨经费 2400 万元，每个项目 300 万元。共性关键技术类项目配套经费与国拨经费比例不低于 1:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项

目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过4年。基础研究类项目下设课题数不超过4个，参与单位不超过6个；共性关键技术类项目下设课题数不超过5个，项目参与单位总数不超过10家。项目设1名项目负责人，项目中每个课题设1名课题负责人。

青年科学家项目不要求对指南内容全覆盖，不再下设课题，项目参与单位总数不超过3家。项目设1名项目负责人，青年科学家项目负责人年龄要求，男性应为1985年1月1日以后出生，女性应为1983年1月1日以后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为1~2项。“拟支持项目数为1~2项”是指：在同一研究方向下，当出现申报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持2项。2个项目将采取分两个阶段支持的方式，第一阶段完成后将对2个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 超越摩尔的微纳器件技术

1.1 高密度垂直集成的围栅器件与集成技术（基础研究类）

研究内容：面向下一代低功耗、高集成度、高性能逻辑器件技术需求，研究基于围栅（GAA）结构的新型垂直纳米片晶体管（VFET）器件和电路集成技术。研究VFET器件的材料、结构、工艺、器件、模型、设计等关键技术；综合考量设计工艺协同优

化 (DTCO), 探索多应用场景下的 VFET 解决方案; 基于工艺仿真, 探索 VFET 堆叠方法, 建立模型并研究标准单元实现; 基于 CMOS 工艺平台, 开发高集成度、低功耗 VFET 工艺流程和 TCAD 及 SPICE 仿真器件模型, 给出长沟道器件和 MOS 电容集成问题解决方案, 搭建 CMOS 逻辑门电路和高阶环形振荡器; 完成新型 VFET 器件与电路集成制备, 实现 CMOS 电路功能演示。

考核指标: 在 DTCO、长沟及 MOS 电容集成、标准单元和器件堆叠等关键点上申请专利 ≥ 15 项; 新型 VFET 器件栅间距 (CPP) $\leq 100\text{nm}$, 沟道长度 $\leq 40\text{nm}$; 电源电压 (V_{dd}) 为 0.5V 下, 开态电流 (I_{on}) $\geq 300\mu\text{A}/\mu\text{m}$ 、电流开关比 ($I_{\text{on}}/I_{\text{off}}$) $\geq 1\text{E}5$; 环型振荡器阶数 ≥ 25 、门时延 $\leq 50\text{ps}$; 提出 VFET SRAM 单元设计方案, 面积相比水平围栅 SRAM 单元缩小 10%以上。提供两层 VFET 堆叠方案, 反相器理论功耗相比非堆叠单元降低 $\geq 15\%$ 。

关键词: 垂直围栅晶体管, 设计工艺协同优化, 高密度 SRAM 单元。

1.2 新型低功耗铁电器件技术 (基础研究类)

研究内容: 面向“后摩尔时代”集成电路严苛的能效和功能密度要求, 采用钪基铁电和全耗尽绝缘体上硅等 CMOS 工艺兼容的低功耗应用材料, 发展晶圆级新型低功耗铁电器件技术。内容包括研究新型低功耗铁电器件极化响应在材料、结构和可靠性方面的物理机制及关键性能优化设计方法, 实现晶圆级制备; 研究器件级粒度的逻辑功能动态重构能力, 掌握可重构组合逻辑、逻

辑级联及逻辑阵列设计实现方法；发展兼具非易失存储功能的新
型低功耗铁电器件结构，研究面向可重构非冯计算的功能阵列架
构及阵列集成技术；完成可重构非冯架构芯片原型，实现可重构
非冯诺依曼计算架构创新，获得芯片功能演示。

考核指标：实现新型低功耗铁电器件 8 英寸晶圆级制备，探
索不少于两种铁电材料，器件沟道长度 $\leq 50\text{nm}$ 、工作电压 (V_{DD})
 $\leq 0.4\text{V}$ 、实现纳秒量级高速开关、电流开关比 ($I_{\text{ON}}/I_{\text{OFF}}$) $\geq 1\text{E}5$ 、
开关翻转功耗 $\leq 1\text{fJ}$ ；设计新型可重构低功耗铁电器件结构，实现
 ≥ 2 种单晶体管布尔逻辑计算，实现 10 种以上可重构门电路功能
及可重构逻辑功能模块和实验演示，峰值计算能效比 65 纳米
CMOS 工艺提高一倍；发展新型非易失可重构低功耗铁电器件结
构及其功能阵列集成技术，设计 ≥ 2 种非冯诺依曼计算架构电路，
实现集成规模 $\geq 16\text{kbit}$ 的可重构非冯计算的功能阵列，完成典型
非冯计算的先进性演示。

关键词：低功耗，铁电器件，晶圆级，可重构，非冯架构。

1.3 功能融合型三维堆叠 RRAM 集成技术（共性关键技术类）

研究内容：面向人工智能时代终端装备对高密度存储与功能
融合芯片的发展需求，研究功能融合型三维堆叠阻变存储器（3D
RRAM）集成技术；研究基于 3D RRAM 集成技术的功能融合架
构与周边电路，支持高密度多值存储并适配高能效智能计算系统；
研究适合规模量产的三维堆叠异质集成技术、三维堆叠电路专用
设计技术，获得原型芯片，支持不同智能任务的功能融合型系统

演示。

考核指标：开发高密度 3D RRAM 集成技术，RRAM 单元尺寸 $\leq 100\text{nm}$ 、访问速度 $\leq 20\text{ns}$ ，每单元有效存储状态数 ≥ 8 （等效 $\geq 3\text{bit}$ ），垂直堆叠层数 ≥ 8 层；研究 3D RRAM 关键外围电路，支持可重构的计算位宽，最大计算位宽 ≥ 8 位；设计一款 3D RRAM 原型芯片，存储容量 $\geq 1\text{Mb}$ ，8 位运算时能效比 $\geq 5\text{TOPS/W}$ ，1 位运算时能效比 $\geq 100\text{TOPS/W}$ ；面向典型的智能计算任务，实现不少于 2 种智能计算任务的融合型功能演示。

关键词：阻变存储器，三维集成技术，功能融合型架构。

1.4 3D NAND 闪存未来技术（青年科学家项目）

研究内容：为满足大容量三维闪存（3D NAND）存储器对高性能、高密度、高可靠性的需求，研究基于新型栅极、栅介质层或导电沟道等新材料和新器件结构的 3D NAND 存储器件，开发基于新材料和新器件结构的 3D NAND 的工艺制备、性能表征及器件集成方法；研究基于新材料和新器件结构的 3D NAND 的存储机理及阵列操作算法；阐明基于新材料和新器件结构的 3D NAND 的可靠性退化机制。

考核指标：制备基于新型栅极、栅介质层或导电沟道等新材料和新器件结构的 3D NAND 存储器件，三维堆叠层数 ≥ 8 层，存储密度 $\geq 25\text{Mb/mm}^2$ ，循环耐久性 $\geq 1\text{E}4$ 次， 25°C 下的数据保持性 ≥ 10 年；设计开发至少一种基于新材料和新器件结构的 3D NAND 工艺制备、性能表征与器件集成方案，实现规模 $\geq 16 \times 16$

的预研型存储阵列或产品；阐明基于新材料和新器件结构的 3D NAND 的存储原理并开发配套的阵列操作算法；构建至少 1 种基于新材料和新器件结构的 3D NAND 可靠性退化机制模型，模型具有较好的完备性。

关键词：三维闪存，新型材料，新器件结构。

1.5 纳米尺度工艺微观动力学（青年科学家项目）

研究内容：研究准确仿真温度效应和含时过程的分子动力学方法，掌握半导体工艺薄膜材料生长动力学机制，阐明纳米尺度刻蚀和外延生长的动力学规律和不同工艺应力产生机制；研究三维像素引擎的全工艺流程微观结构形貌建模和三维可视化技术；研究上述动力学仿真模块和微观结构建模模块在主流 GAA 工艺仿真全流程中的集成应用方法；研究缺陷准确电子结构和缺陷形成能，获得不同的电子态的缺陷扩散势垒高度，进一步揭示缺陷演化和移动物理规律；研究工艺波动下器件结构微观尺寸涨落和原子尺度缺陷的物理模型，评估实际工艺波动下复杂器件结构和随机离散缺陷对电性和可靠性的影响。

考核指标：实现微秒及以上量级的工艺过程仿真，获得基于纳米尺度晶体管的静态存储器（SRAM）、动态存储器（DRAM）等标准单元微观结构，关键尺寸与实际电镜结构误差小于 10%；支持不低于 1000 个原子体系的 Heyd-Scuseria-Ernzerhof（HSE）杂化泛函方法计算，主要缺陷形成能计算结果与基于格林函数和含屏蔽的相互作用（GW）方法计算结果定量误差小于 10%；建

立准确器件物理模型，包含实际工艺下复杂器件结构涨落和随机离散缺陷，获得的纳米尺度晶体管的电流、阈值电压、亚阈值摆幅、偏压温度不稳定性等性能参数，与实验结果相比误差在 10% 以内。

关键词：纳米尺度，微观动力学，工艺仿真。

2. 智能与敏捷设计方法

2.1 工艺—器件—电路协同设计方法（共性关键技术类）

研究内容：面向挖掘国产先进工艺潜能的需求，研究工艺—器件—电路协同设计优化（DTCO）方法，形成协同设计流程和相关工具；考虑先进工艺节点的材料特性与微观物理机制，研究准确、高效的器件仿真（TCAD）及与电路设计协同优化的方法和流程；开发早期工艺设计套件（PDK），研究工艺选择敏感度分析、标准单元库特征参数提取建模及质量评估方法；研究工艺涨落和老化感知的门级电路模型、全电路级动态时序分析及时序驱动优化方法。

考核指标：面向国产 14nm 工艺，实现工艺—器件—电路协同设计优化（DTCO）方法；研制 TCAD 工具原型，包含材料及界面微观参数的计算功能，可实现量子到经典的多尺度器件仿真，相同精度下比 Sentaurus 计算效率提升 10% 以上；研制全电路动态时序分析工具原型，包含工艺涨落和老化感知功能，关键时序弧延时分析较 SPICE 误差低于 5%；实现智能芯片中 16 比特乘累加计算阵列的工艺—器件—电路协同优化，后仿能效提升 5% 以上。

关键词：工艺—器件—电路协同，器件工艺仿真，时序分析。

2.2 物理层安全分析方法（青年科学家项目）

研究内容：针对芯片在物理设计及流片制造等过程中存在的安全威胁，研究主被动复合的芯片内生安全设计及验证技术。研究主动的布局迷惑、布线隐藏、有源复用物理防护层技术，实现物理设计环节的硅前主动防御；研究恶意冗余精准定位及失活技术、物理篡改主动感知及对抗技术，实现硅后物理芯片的安全检测；研究物理设计环节主动防御方法的自动化实现。

考核指标：千万门级电路硅前主动防御达到物理版图结构相似性 <0.1 ，物理防护层线网尺度 $<100\text{nm}$ ，无序度 >0.95 ；硅后检测可感知恶意篡改，实现标准单元级恶意冗余电路定位；完成2款物理层级内生安全增强工具原型。

关键词：硅前主动防御，硅后安全检测，内生安全。

2.3 模拟电路参数自动优化方法（青年科学家项目）

研究内容：面向28nm以上模拟电路设计智能化的需求，研究模拟电路设计参数自动优化方法；研究模拟电路性能黑盒函数的建模表征方法；探索针对模拟电路性能的高维空间非线性优化的高效算法，包括全局优化技术、无导数优化技术、可行解探索技术、局部优化技术和算法并行技术等；开发相关EDA原型工具。

考核指标：研制模拟电路参数自动优化EDA原型工具，支持28nm以上工艺，处理电路规模达到300个晶体管以上，设计变量大于50维；以IEEE开源模拟电路测试集为准，在相同电路

性能优化指标下，优化效率相比开源软件 DEAP 中遗传进化等算法提升 5 倍以上；在相同运行条件下，电路关键性能指标比 DEAP 中遗传进化等算法提升 10%。

关键词：高维空间非线性优化，遗传进化算法，模拟电路参数自动优化。

2.4 寄存器传输级安全分析方法（青年科学家项目）

研究内容：针对芯片在寄存器传输级（RTL）代码开发或者第三方 IP 核中存在的设计缺陷以及恶意逻辑，研究 RTL 层级安全漏洞分析方法，包括关键链路抽取技术、低活性节点定位技术、状态空间重构及分析技术、动态安全检测技术；研究硬件安全形式化验证技术和恶意逻辑精准定位技术；开发相关 EDA 工具。

考核指标：关键链路分析深度 ≥ 500 等效门/bit，低活性节点提取覆盖率 $\geq 95\%$ ，有限状态机重构率 $> 90\%$ ；安全形式化建模支持规模 > 100 万门，支持 5 种以上安全属性自动提取，在线动态检测准确率 $\geq 95\%$ ，攻击准确识别率 $> 90\%$ ；恶意逻辑定位精度达到比特级。

关键词：寄存器传输级，安全漏洞分析方法，安全形式化验证，恶意逻辑定位。

3. 新应用驱动的电路技术

3.1 三维集成的高性能智能计算芯片（共性关键技术类）

研究内容：面向人工智能指数级增长的算力需求，研制三维集成 DRAM 存算一体化的可重构智能芯片；研究面向三维集成

DRAM 存算融合的可重构智能计算架构，研究分布式多层次存储架构，研究多芯片直连扩展技术，研究多芯片联合架构重构方法；研究三维分布式存储的资源管理策略，研究三维空间上的数据布局 and 计算映射技术，研究三维集成 DRAM 的访存均衡和温度均衡技术；研究三维集成架构的编译优化技术，研究多参量多维度的并行化编译方法。

考核指标：三维集成的高性能智能计算芯片，集成的存储容量不低于 2GB，带宽密度不低于 160Gbps/mm²，存储密度不低于 100Mbits/mm²；同时支持训练和推理，峰值计算能效不低于 3TOPS/W@INT8；支持多精度运算，支持标量、向量、张量计算，支持稀疏张量运算加速，支持卷积神经网络/循环神经网络/注意力神经网络等典型算法。

关键词：三维集成，存算融合，智能芯片。

3.2 多波束大规模阵列应用的数字化毫米波芯片技术（共性关键技术类）

研究内容：面向多波束大规模相控阵列应用，突破硅基毫米波太赫兹芯片的系统架构制约和集成瓶颈，研制高密度硅基毫米波太赫兹多波束相控阵列收发机芯片，解决数字化多波束架构、高通道效率数字化发射机、高精度幅相调节、本振信号通道本地化/阵元相位自校准、串扰消除、多波束信号处理、系统集成、阵列天线互连等关键技术挑战，研制硅基 K/Ka 波段（18~32GHz）毫米波收发机芯片，实现大阵列多波束射频前端演示系统。优先

支持易扩展至 4096 阵元的芯片解决方案。

考核指标：收发机芯片接收噪声系数小于 7dB，单通道发射功率大于 20dBm，回退 6dB 时发射效率>25%，集成系统功耗/(通道数×波束数)小于 100mW；芯片架构支持全阵面多波束，波束数量可配置和拓展，最高不小于 16 波束；系统实现不小于 4096 阵元和同时 16 波束演示，且波束宽带均小于 3 度；芯片通信带宽不小于 250MHz；总传输速率超过 30Gbps；系统集成芯片种类最少化。

关键词：数字化技术，高密度，硅基，多波束。

3.3 超高速低延迟融合互连芯粒关键技术(共性关键技术类)

研究内容：针对下一代高性能计算、数据中心需求，开展适用于处理器、网络芯片片间直连的超高速低延迟融合互连芯粒技术研究。研究高带宽密度直连接口电路收发机架构，研究芯粒间(D2D)直连高速信号单端传输技术，研究低功耗时钟数据对齐技术和低误码收发端均衡技术，研制高密度低延迟低功耗 D2D 物理层电路；研究超低延迟低功耗芯粒控制器架构，研究面向不同领域的多模态互连控制协议，研究超低延迟纠错编码解码算法，研制高密度低延迟低功耗融合互连原型芯粒并完成原型系统演示。

考核指标：D2D 链路数 ≥ 16 ，线速率 $\geq 20\text{Gbps}$ ，4dB 插损下误码率 $\leq 1\text{E-}15$ 量级，效能 $\leq 1.5\text{pJ/b}$ ，带宽密度 $\geq 800\text{Gbps/mm}$ ；支持多互连控制协议，支持降速配置、链路缺失容错、序反转，

支持前向纠错，编解码延迟 $\leq 25\text{ns}$ ，误码容限 $\geq 1\text{E-}7$ ；互连原型芯粒带宽 $\geq 640\text{Gbps}$ ，效能 $\leq 8\text{pJ/b}$ ，穿透延迟 $\leq 50\text{ns}$ ，完成原型演示。

关键词：互连芯粒，直连接口，融合控制器。

3.4 高性能抗量子攻击密码芯片技术（共性关键技术类）

研究内容：面向关键信息基础设施中抗量子攻击密码的高性能计算需求，围绕后量子密码算法硬件加速问题，开展创新的芯片架构和电路实现技术以及物理防护机制的研究。支持格/哈希/编码等多种数学难题的领域专用密码芯片架构、计算通路与敏捷设计方法；领域专用密码芯片的编译器、模拟器与仿真调试器设计技术，支持运用 C、C++ 等高级编程语言在单颗芯片上敏捷编程实现不同的抗量子攻击密码算法；满足抗量子攻击密码算法中真随机数需求、具有统计学模型或物理模型支持的高安全真随机数发生器（TRNG）；领域专用密码芯片的硬件安全防护方法与可信执行环境；构建面向信息安全应用的抗量子攻击密码芯片的示范应用系统，可应用于我国关键通信基础设施的信息安全装备和核心部门的信息安全设备。

考核指标：芯片基于 28nm 及以下工艺，同时支持国内外优势/主流的抗量子攻击密码算法，配置时间不高于 100ns；支持完整的密钥产生、密钥封装/解封装、签名/验签功能，抗量子攻击密码的峰值密钥产生性能达到 20 万次/秒以上，密钥封装/解封装性能达到 10 万次/秒以上，峰值数字签名/验签性能达到 2 万次/

秒以上；在基于统计学/物理学模型支持下，单个噪声源的满熵速率达到 120Mbps 以上，最高原始数据率不低于 1Gbps，最低内核工作能耗不高于 6pJ/bit，可抵御基于温度、电压、频率的物理攻击；抗量子攻击密码芯片示范应用系统，具有故障攻击的自检测能力与防御功耗分析攻击能力。

关键词：抗量子攻击，密码算法硬件加速，真随机数发生器。

3.5 极低功耗物联网处理芯片（共性关键技术类）

研究内容：面向智能物联网芯片低能耗需求，研制基于 RISC-V 或自主指令集的智能物联网处理芯片；研究微光能、微动能、人体温差能、射频能等环境微能量采集技术、超低电压冷启动技术、高效率能量转换和存储技术；研究近阈值低功耗电路设计技术、高效率片上电源管理技术、低功耗片上存储技术、低能耗快速起振时钟技术；研究超低功耗物联网射频收发机电路架构和射频唤醒技术；研制物联网系统及应用示范。

考核指标：芯片工作频率不低于 32MHz，片上存储容量不低于 256KB，动态功耗（运行 EEMBC Coremark 测试程序）不高于 10 μ W/MHz，睡眠功耗（支持 RTC、IO 唤醒）不高于 300nW；休眠功耗（RTC 计时、32KB SRAM 数据保持和射频唤醒）不高于 3 μ W；集成环境能量采集电路，射频能量采集的灵敏度达到 -20dBm；微光能、微动能和温差能的冷启动电压达到 100mV，支持自供能工作模式；集成低功耗蓝牙（BLE），支持射频唤醒，BLE 射频 0dBm 发送功耗不高于 7mW，BLE 射频接收功耗不高

于 3mW。

关键词：智能物联网，能量采集，极低功耗，硬件安全。

3.6 强实时高精度感知与处理芯片（共性关键技术类）

研究内容：面向新能源储能、电动车、无人系统和智能终端等应用系统对多串电池组的强实时、高精度监测与管理需求，研究基于国产硅基 BCD（Bipolar-CMOS-DMOS）工艺的强实时高精度的感知与处理芯片技术；研究强实时、高精度、低功耗的电流和电压模拟信号链电路技术；研究宽温区、高精度、低温度系数的电压参考源技术；研究高鲁棒性串行接口和高共模抑制的信号隔离器电路技术，研究 2.4GHz 高可靠、强实时无线通信芯片和组网包括全网时间同步技术研究 2.4GHz 高可靠无线组网通信和全网时间同步技术；研究低截止电流、低导通电阻的高可靠高压 BCD 工艺技术。基于上述研究，研制支持 48V 多串电池组实时监测与管理的强实时高精度感知与处理芯片，在新能源储能、电动车、无人系统或智能终端等应用领域实现批量应用验证。

考核指标：电流/电压模数转换器分辨率达到 16 位/14 位，信噪比不低于 90dB/78dB，转换时间不超过 1ms/60 μ s，功耗不超过 300 μ A/20 μ A；电压参考源精度达到 $\pm 0.1\%$ ，温度系数达到 10ppm/ $^{\circ}$ C；串行和无线通信速率不低于 1Mbps，串行共模瞬态抗干扰度 CMTI 不低于 100kV/ μ s，无线最大发射功率达到 +12dBm，无线信号传输速率达到 1Mbps。

关键词：感知与处理芯片，强实时，高精度，低功耗。

3.7 面向下一代移动通信基站的高性能毫米波收发机芯片 (共性关键技术类)

研究内容：面向 5G/6G 毫米波无线通信基站端应用需求，研制支持多频点大带宽高性能毫米波基站收发机芯片；研究毫米波多频点大带宽可重构多通道收发机前端架构，研究大带宽/多频带低噪声低杂散接收机前端方案，探索大带宽/多频带多通道低杂散发射机方案，研究毫米波高精度幅相控制技术，研究大带宽功率放大器线性化技术，研究高性能大带宽频率变换技术，研究毫米波封装与系统集成等关键技术研究，研究阵列前端多波束赋形技术，研究高速数字基带处理技术。基于以上技术，研制实现支持多频点大带宽的高性能毫米波基站收发机芯片及演示系统。优先支持低功耗、高性能、易扩展芯片解决方案。

考核指标：芯片工作频率覆盖 26/28/37/39GHz 频段，接收噪声不高于 6dB，26/28GHz（37/39GHz）模式下的带外 37/39GHz（26/28GHz）输入 1dB 压缩点不低于 0dBm，阵元芯片功率附加效率不低于 18%，通信数据传输率不低于 5Gb/s，可支持基带带宽不低于 400MHz，最高支持 256-QAM 高阶调制方式，通道切换满足 5G 标准要求；基于芯片的演示系统通信距离大于 100 米；收发及通道切换时间小于 1 微秒。

关键词：5G/6G 基站端应用，多频点，大带宽，低杂散，可重构。

3.8 面向短距无线互联的太赫兹芯片关键技术（青年科学家项目）

研究内容：面向短距离无线互联需求，开展低功耗和高速率的超高速无线互联芯片研究。研究低功耗变频与超高速收发机架构；研究高阶调制发射技术；研究高线性度调制与解调电路；研究接收机前端低功耗技术；研究高增益片上天线技术；研究功放回退效率提升方法；研究大带宽高功率本振电路。

考核指标：基于硅基工艺，实现 1 款传输速率在 100Gb/s 以上的无线通信收发机芯片；空口通信数据传输率不低于 100Gb/s，射频带宽不低于 25GHz；发射机等效全向辐射功率（EIRP）不低于 3dBm；收发芯片功耗不高于 1W；完成传输距离不小于 10cm 的通信演示。

关键词：超高速无线互联，硅基工艺，太赫兹芯片。

3.9 液氮 77K 低温处理器芯片（青年科学家项目）

研究内容：面向高性能/智能计算应用需求，探索液氮 77K 低温环境中计算/存储芯片技术路径。研究液氮 77K 低功耗 CMOS 器件工艺、电路和片上存储器等关键技术；开发低温 CMOS 器件的 SPICE 模型与通用 PDK 数据库、低温标准单元库和关键计算/存储电路；研制 77K 高能效专用处理器和低温大容量片上存储芯片。

考核指标：器件阈值电压小于 0.3V，器件 SPICE 模型与 PDK 数据库覆盖 77K~298K；设计低温 77K AI 处理器原型芯片，4 比

特整数型主流神经网络下峰值能效超过 20TOPS/W；设计低温 77K 片上存储芯片，访问能效较常温设计提升 5 倍以上。

关键词：77K 低温，AI 处理器芯片，低温存储芯片。

3.10 高密度太赫兹多波束芯片（青年科学家项目）

研究内容：面向未来 5.5G/6G 通信网络发展，研究高密度、低功耗和高速率的太赫兹多波束芯片；研究太赫兹硅基多通道收发机系统紧凑布局方法；研究发射机高效率直接调制发射技术，接收机前端低功耗技术；研究太赫兹硅基高速低插损开关电路，高精度幅/相控制电路；研究高性能太赫兹硅基无源器件结构与优化设计方法，并探索基于硅基平台的封装与系统集成方法。

考核指标：基于硅基工艺，实现 1 款工作频率在 100GHz 以上的四通道通信收发机芯片及模组；通信数据传输率不低于 20Gb/s；E/H 平面单波束赋形不低于 $\pm 30^\circ$ ；发射机支持 16-QAM 调制，四通道等效全向辐射功率（EIRP）不低于 10dBm；开关/移相器/衰减器的切换延迟不高于 1 纳秒；接收机单通道功耗不高于 150mW。

关键词：5.5G/6G 通信网络，硅基芯片，太赫兹，多波束阵列，高密度。

4. 模块化组装与集成

4.1 基于亚微米 TSV 的晶圆级三维集成技术（共性关键技术类）

研究内容：面向高并行度信息处理—存储芯粒集成处理器对

存储大容量和高数据带宽的迫切需求，依托国产工艺平台，开发基于亚微米硅通孔（TSV）的晶圆级三维集成技术。研究基于多层高密度垂直互连的高带宽计算密集型处理器全新计算架构和设计方法；研究亚微米 TSV 关键工艺机理、工艺仿真方法与关键工艺技术；研究器件—互连结构跨尺度热仿真方法和高效热管理技术；研究亚微米 TSV 三维集成失效机制、退化模型和可靠性虚拟试验技术；在高带宽计算密集型处理器芯粒集成应用中进行亚微米 TSV 三维集成工艺验证。

考核指标：TSV 特征孔径不大于 800 纳米，深径比不小于 5，晶圆级堆叠层数不小于 3 层；形成跨纳米到毫米尺度多热点跨尺度热仿真方法，仿真温度较实测值偏差小于 10%；开发出 1 套面向基于亚微米 TSV 的晶圆级三维集成的可靠性仿真软件和评价方法；应用国产 8 英寸或 12 英寸晶圆制造与封装平台，建立 SRAM 存储器—计算单元三维垂直堆叠架构，研制出高带宽计算密集型处理器，三维堆叠存储器垂直数据传输带宽密度不低于 50GB/s/mm²。

关键词：亚微米硅通孔，芯粒三维集成，可靠性，热管理。

4.2 晶上系统的高精度高密度集成技术（共性关键技术类）

研究内容：面向晶上系统中超大规模芯粒集成及系统组装对高精度和高可靠性的需求，研究晶圆级芯粒集成及系统组装的集成技术和方法；研究晶圆级高精度微凸点对准技术、高精度晶圆级键合机理和晶圆级键合互连的可靠性技术；研究晶圆级背面超

大规模凸点高可靠键合技术、无源阻容器件贴装技术；研究晶圆基板与系统各部件的连接技术、系统组装可靠性设计技术；基于国内工艺，完成集成技术原型验证系统研制，形成面向晶上系统的晶圆级高精度高密度集成技术和方法。

考核指标：晶圆尺寸 8 英寸或 12 英寸，集成芯粒数量不少于 100 个，晶圆上集成凸点数量不少于 30 万，最高凸点对准精度 $\pm 300\text{nm}$ ；支持不少于 5 万凸点数量的晶圆背面键合，支持无源器件贴装；系统组装支持包含供电、散热、晶圆基板等不少于 3 类部件的高可靠组装。

关键词：晶上系统，晶圆级键合互连，晶圆级高精度对准，系统组装。

4.3 晶圆级芯片硅基基板制造工艺（共性关键技术类）

研究内容：面向晶圆级芯片的生产加工需求，开发晶圆级硅基基板制造工艺；研究高密度深沟电容（DTC）工艺技术；研究高深宽比硅通孔（TSV）相关的光刻、刻蚀、电镀等制造工艺技术；研究基于重布线层（RDL）的多光罩互连拼接工艺技术，实现多块曝光区域的同层拼接与互连；在不小于 8 英寸工艺平台上，实现集成无源元件的晶圆级芯片硅基基板的制造工艺研发，形成规模化制造方法，完成晶圆级芯片硅基基板产品工艺验证。

考核指标：深沟电容单位面积密度不小于 $500\text{nF}/\text{mm}^2$ ；硅通孔关键尺寸不大于 $10\mu\text{m}$ ，硅通孔深宽比不小于 10:1，硅通孔的侧壁角不小于 85° ；重布线层不少于 3 层金属，互连结构精度不

大于 100nm，多光罩拼接面积不小于 15000mm²。

关键词：晶圆级芯片硅基基板，深沟电容，硅通孔，重布线层，多光罩拼接。

4.4 芯粒集成的存储架构和定制设计规范（共性关键技术类）

研究内容：面向重要装备对大算力、高能效芯粒集成系统的需求，形成面向芯粒集成的存储架构设计与访存调度机制。研究芯粒集成的异构分布式存储架构，设计可重用互连基板支持异构存储芯粒的接入与扩展；研究芯粒集成的专用访存接口芯粒，支持灵活扩展外部存储器与封装内存储形成统一的存储层次；研究通用处理器芯粒、智能加速器芯粒及其他第三方芯粒跨芯粒的存储共享与数据一致性访问设计规范，研究芯粒集成的高效存储数据请求硬件调度机制；研究面向异构芯粒集成的存储资源管理机制与系统软件，支持应用级的存储空间与带宽分配，满足高并发任务的实时计算需求。基于上述技术，采用面向芯粒集成的存储架构，设计原型芯片，包含存储接口芯粒与支持分布式异构存储的可重用互连基板。

考核指标：互连基板支持包含 SRAM、DRAM 以及非易失性存储等 3 种以上介质的资源共享与分配，芯粒间共享存储访问延迟不大于 100ns；存储接口专用芯粒具备访存请求硬件调度机制，降低片外主存访问流量 20%以上；支持不少于 2 种、不少于 10 颗芯粒的共享存储访问与数据一致性访问协议；软件任务调度与存储资源分配算法相比 TVM 等开源工具可降低片内与片外主存

访问流量 30%以上，运行典型智能计算模型（包含 CNN、Transformer 等不少于 5 种）的访存延迟占比低于 20%。

关键词：芯粒集成，存储架构，异构存储，可重用互连基板，存储接口芯粒。

浙江大学 kjc9x